

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-297693
 (43)Date of publication of application : 21.10.2004

(51)Int.Cl.

H03H 3/08
 H01L 41/09
 H01L 41/18
 H01L 41/22
 H03H 9/25

(21)Application number : 2003-090497

(71)Applicant : FUJITSU MEDIA DEVICE KK
 FUJITSU LTD

(22)Date of filing : 28.03.2003

(72)Inventor : UEDA MASANORI
 KAWAUCHI OSAMU
 MIURA MICHIO
 WARASHINA TAKU

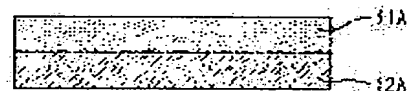
(54) METHOD FOR MANUFACTURING SURFACE ACOUSTIC WAVE DEVICE AND SURFACE ACOUSTIC WAVE DEVICE

(57)Abstract:

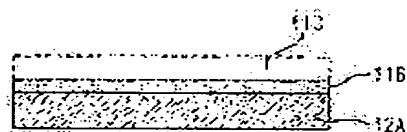
PROBLEM TO BE SOLVED: To provide a method for manufacturing a surface acoustic wave device and a surface acoustic wave device of which thickness is reduced, and which can be made with ease.

SOLUTION: In the method for manufacturing the surface acoustic wave device, a piezoelectric substrate 11A and a silicon substrate 12A are laminated, and then each substrate is cut/polished as thin as possible but is thick enough not to cause chip or crack. By doing so, the silicon substrate 12A (and a silicon substrate 12B, too) prevents the piezoelectric substrate 11A (as well as a piezoelectric substrate 11B) from thermal expansion and change of a constant number, and as the bonded substrate formed with the two substrates (11A and 12A/11B and 12B) is reinforced, the cut/polished bonded substrate can be thinner than the substrate formed only with the piezoelectric substrate. For example, the method includes steps such as cutting/polishing the piezoelectric substrate 11A to form the piezoelectric substrate 11B of about some tens micrometers to 100 micrometers (as shown in Fig.(b)), and cutting/polishing the silicon substrate 12A to form the silicon substrate 12B of about some tens micrometers to 100 micrometers (as shown in Fig.(c)).

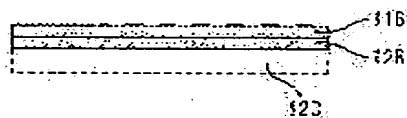
(a)



(b)



(c)



LEGAL STATUS

[Date of request for examination]

07.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision
 of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-297693

(P2004-297693A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03H 3/08	H03H 3/08	5 J 097
H01L 41/09	H03H 9/25 A	
H01L 41/18	H03H 9/25 C	
H01L 41/22	H01L 41/08 C	
H03H 9/25	H01L 41/18 1 O 1 A	

審査請求 未請求 請求項の数 17 O L (全 21 頁) 最終頁に続く

(21) 出願番号	特願2003-90497 (P2003-90497)	(71) 出願人	398067270
(22) 出願日	平成15年3月28日 (2003.3.28)		富士通メディアデバイス株式会社
			神奈川県横浜市港北区新横浜二丁目3番地12
		(71) 出願人	000005223
			富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100087480
			弁理士 片山 修平
		(72) 発明者	上田 政則
			神奈川県横浜市港北区新横浜二丁目3番12号 富士通メディアデバイス株式会社内

最終頁に続く

(54) 【発明の名称】 弾性表面波デバイスの製造方法及び弾性表面波デバイス

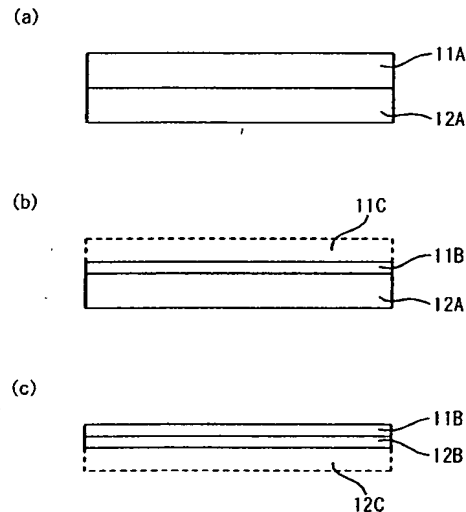
(57) 【要約】

【課題】 薄型化され、且つ製造が容易な弾性表面波デバイスの製造方法及び弾性表面波デバイスを提供する。

【解決手段】 圧電基板11Aとシリコン基板12Aとを貼り合わせた後、ひびや割れが生じない程度であって可能な限り薄くされた厚さまで、それぞれの基板を切削・研磨する。これにより、シリコン基板12A(12Bも同じ)が圧電基板11A(11Bも同じ)の熱膨張及び定数の変化を抑制し、且つ両基板(11A及び12A/11B及び12B)で構成された接合基板の強度も高めるため、切削・研磨後の接合基板の厚さを圧電基板単体で構成した場合よりも薄くすることができる。例えば圧電基板11Aを切削・研磨して数十 μ mから100 μ m程度の圧電基板11Bを作成し(図2(b))、シリコン基板12Aを切削・研磨して同じく数十 μ mから100 μ m程度のシリコン基板12Bを作成する(図2(c))。

【選択図】

図2



【特許請求の範囲】

【請求項 1】

弾性表面波デバイスの製造方法であって、
圧電基板の第 1 の主面と反対側の第 2 の主面に支持基板を接合する基板接合工程と、
前記圧電基板における前記第 1 の主面を切削／研磨する第 1 の切削／研磨工程と、
前記支持基板における前記第 2 の主面と接合された面と反対側の第 3 の主面側を切削／研磨する第 2 の切削／研磨工程と、
前記第 1 の切削／研磨工程で切削／研磨された前記圧電基板における前記第 1 の主面に櫛形電極及び電極パッドを含む素子パターンを形成する素子パターン形成工程と
を有することを特徴とする弾性表面波デバイスの製造方法。

10

【請求項 2】

前記素子パターン形成工程は、前記第 1 の主面上に 2 次元配列された複数の素子パターンを形成し、
前記 2 次元配列された複数の素子パターンが分離するように前記圧電基板及び前記支持基板を切断する基板切断工程を有することを特徴とする請求項 1 記載の弾性表面波デバイスの製造方法。

【請求項 3】

前記素子パターンが形成された前記弾性表面波素子を第 1 の基板に形成されたキャビティ内に收容する收容工程と、
前記弾性表面波素子が收容された前記第 1 の基板における前記キャビティを第 2 の基板で封止する封止工程と
を有することを特徴とする請求項 1 又は 2 記載の弾性表面波デバイスの製造方法。

20

【請求項 4】

前記封止工程は、前記第 1 の基板と前記第 2 の基板とにおける接合面の少なくとも 1 つに、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第 1 の基板と該第 2 の基板とを接合することを特徴とする請求項 3 記載の弾性表面波デバイスの製造方法。

【請求項 5】

前記素子パターンを第 1 の基板に形成されたキャビティ内に收容するように該第 1 の基板と前記圧電基板とを接合して前記素子パターンを封止する封止工程を有することを特徴とする請求項 1 記載の弾性表面波デバイスの製造方法。

30

【請求項 6】

前記第 2 の切削／研磨工程は、前記封止工程の後に行われることを特徴とする請求項 5 記載の弾性表面波デバイスの製造方法。

【請求項 7】

前記素子パターン形成工程は、前記第 1 の主面上に 2 次元配列された複数の素子パターンを形成し、
前記封止工程は、前記キャビティが前記素子パターンと対応して 2 次元配列された前記第 1 の基板で該素子パターンを個々に封止し、
前記 2 次元配列された複数の素子パターン及び該素子パターンと対応するように 2 次元配列された前記キャビティが分離するように前記圧電基板、前記支持基板及び前記第 1 の基板を切断する基板切断工程を有することを特徴とする請求項 5 又は 6 記載の弾性表面波デバイスの製造方法。

40

【請求項 8】

前記基板切断工程の前に、該基板切断工程で切断する領域に対応する前記第 1 の基板をエッチングするエッチング工程を有することを特徴とする請求項 7 記載の弾性表面波デバイスの製造方法。

【請求項 9】

前記封止工程は、前記第 1 の基板と前記圧電基板とにおける接合面の少なくとも 1 つに、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を

50

施した後に、該第1の基板と該圧電基板とを接合することを特徴とする請求項5から8の何れか1項に記載の弾性表面波デバイスの製造方法。

【請求項10】

前記基板接合工程は、前記圧電基板と前記支持基板との接合面に不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を施した後に、該圧電基板と該支持基板とを接合することを特徴とする請求項1から9の何れか1項に記載の弾性表面波デバイスの製造方法。

【請求項11】

前記支持基板はシリコン基板であることを特徴とする請求項1から10の何れか1項に記載の弾性表面波デバイスの製造方法。

【請求項12】

前記支持基板は、抵抗率が $100\Omega \cdot \text{cm}$ 以上のシリコン基板であることを特徴とする請求項1から10の何れか1項に記載の弾性表面波デバイスの製造方法。

【請求項13】

前記圧電基板は、リチウムタンタレート又はリチウムナイオベートを主成分とした基板であることを特徴とする請求項1から12の何れか1項に記載の弾性表面波デバイスの製造方法。

【請求項14】

櫛形電極と該櫛形電極に電氣的に接続された電極パッドとを含む素子パターンが第1の主面に形成された圧電基板と、該第1の主面と反対側の第2の主面に接合された支持基板とを有する弾性表面波デバイスであって、

前記圧電基板における前記第1の主面と、前記支持基板における前記第2の主面と接合された面と反対側の第3の主面側との少なくとも一方が切削／研磨された面であることを特徴とする弾性表面波デバイス。

【請求項15】

前記圧電基板における前記第1の主面と前記支持基板における前記第2の主面と向かい合う第4の主面との少なくとも一方に、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理が施されていることを特徴とする請求項14記載の弾性表面波デバイス。

【請求項16】

前記素子パターンが形成された前記圧電基板及び該圧電基板に接合された前記支持基板をキャビティ内に收容する第1の基板と、

前記圧電基板及び前記支持基板が收容された前記第1の基板における前記キャビティを封止する第2の基板と、

を有することを特徴とする請求項14又は15記載の弾性表面波デバイス。

【請求項17】

前記素子パターンを收容するキャビティが形成された第1の基板を有し、

前記キャビティが前記素子パターンを收容するように前記第1の基板と前記圧電基板とが接合されていることを特徴とする請求項14又は15記載の弾性表面波デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、弾性表面波デバイスの製造方法及び弾性表面波デバイスに関し、特に弾性表面波素子が封止された構成を有する弾性表面波デバイスの製造方法及び弾性表面波デバイスに関する。

【0002】

【従来の技術】

従来、電子機器の小型化及び高性能化に伴い、これに搭載された電子部品にも小型化及び高性能化が要求されている。特に、電波を送信又は受信する電子機器におけるフィルタ、遅延線、発振器等の電子部品として使用される弾性表面波 (Surface Acous

10

20

30

40

50

t i c W a v e : 以下、S A Wと略す) デバイスは、不要な信号を抑圧する目的で広く携帯電話機等における高周波 (R F) 部に使用されているが、携帯電話機等の急速な小型化及び高性能化に伴い、パッケージを含めて全体的な小型化及び高性能化が要求されている。加えて、S A Wデバイスの用途の拡大からその需要が急速に増加したことに伴い、製造コストの削減も重要な要素となってきた。

【 0 0 0 3 】

ここで、従来技術によるS A Wデバイスを用いて作製したフィルタ装置 (S A Wフィルタ1 0 0) の構成を図1を用いて説明する (例えば特許文献1における特に図4参照) 。尚、図1において、(a) はS A Wフィルタ1 0 0に実装されるS A W素子1 1 0の構成を示す斜視図であり、(b) はS A W素子1 1 0を実装したS A Wフィルタ1 0 0の構成を示す図であり、S A Wフィルタ1 0 0の主面を対角線に沿って垂直に切断した際の断面図である。

10

【 0 0 0 4 】

図1 (a) に示すように、S A W素子1 1 0は、圧電性素子基板 (以下、圧電基板と略す) 1 1 1と、この圧電基板1 1 1上に形成された櫛形電極 (I n t e r D i g i t a l T r a n s d u c e r : 以下、I D Tと略す) 1 1 3と、このI D Tに図示しない配線パターンで接続された電極パッド1 1 4とを有して構成されている。圧電基板1 1 1には、一般的に厚さが3 5 0 μ m程度であって、例えばS A Wの伝搬方向をXとし、切り出し角が回転Yカット板である4 2° YカットX伝搬リチウムタンタレート (L i T a O ₃ S A Wの伝搬方向Xの線膨張係数が1 6 . 1 p p m / ° C) の圧電単結晶基板 (以下、L T基板という) が用いられる。但し、このほかにも、例えば切り出し角が回転Yカット板であるリチウムナイオベート (L i N b O ₃) の圧電単結晶基板 (以下、L N基板という) 等を適用することも可能である。

20

【 0 0 0 5 】

この圧電基板1 1 1の所定の主面 (これを上面とする) 上に、例えばスパッタリング法等を用いてI D T1 1 3、電極パッド1 1 4及び配線パターンを一体形成する。このようなI D T1 1 3、入出力電極パッド1 1 4及び配線パターンは、例えば金 (A u) , アルミニウム (A l) , 銅 (C u) , チタン (T i) , クロム (C r) , タンタル (T a) の少なくとも1つを含む単層導電膜か、又は、金 (A u) , アルミニウム (A l) , 銅 (C u) , チタン (T i) , クロム (C r) , タンタル (T a) の少なくとも1つを含む導電膜が少なくとも2層重ねられた積層導電膜として形成される。

30

【 0 0 0 6 】

図1 (b) に示すS A Wフィルタ1 0 0は、上記のようなS A W素子1 1 0をフェイスダウン状態 (電極パッドが形成された面を下に向けた状態) で、パッケージ1 0 2のキャビティ1 0 9底面であるダイアタッチ面にフリップチップ実装される。この際、S A W素子1 1 0の電極パッド1 1 4とダイアタッチ面に形成された電極パッド1 0 5とがバンプによりボンディングされることで、これらが電氣的に接続され、且つS A W素子1 1 0がパッケージ1 0 2に機械的に固定される。電極パッド1 0 5は、パッケージ1 0 2のキャビティ1 0 9底壁を貫通するビア配線1 0 6を介してパッケージ1 0 2裏面に形成されたフットパターン1 0 7と電氣的に接続されている。このような構成により、S A W素子1 1 0の入力端子及び出力端子が、パッケージ1 0 2裏面にまで引き出される。

40

【 0 0 0 7 】

また、S A W素子1 1 0が実装されたキャビティ1 0 9はキャップ1 0 3により封止される。この際、従来では樹脂や金属等を接着材料としてパッケージ1 0 2とキャップ1 0 3とを接合していた。

【 0 0 0 8 】

【 特許文献1 】

特開2 0 0 1 - 1 1 0 9 4 6号公報

【 0 0 0 9 】

【 発明が解決しようとする課題 】

50

しかしながら、圧電基板 111 に用いられる LT 基板や LN 基板は、半導体技術で一般的に使用されるシリコンなどの基板と比較して非常に脆いという欠点がある。例えば研削・研磨を行うウェハ作成工程では、量産性を考慮して、略 250 μm 程度が薄型化の限界であり、これ以上薄くすると、以降の工程においてひびや割れが発生しやすく、ハンドリングが難しくなるという問題が発生する。

【0010】

本発明は、上記のような問題に鑑みてなされたものであり、薄型化され、且つ製造が容易な弾性表面波デバイスの製造方法及び弾性表面波デバイスを提供することを目的とする。

【0011】

【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項 1 記載のように、弾性表面波デバイスの製造方法であって、圧電基板の第 1 の主面と反対側の第 2 の主面に支持基板を接合する基板接合工程と、前記圧電基板における前記第 1 の主面を切削／研磨する第 1 の切削／研磨工程と、前記支持基板における前記第 2 の主面と接合された面と反対側の第 3 の主面側を切削／研磨する第 2 の切削／研磨工程と、前記第 1 の切削／研磨工程で切削／研磨された前記圧電基板における前記第 1 の主面に櫛形電極及び電極パッドを含む素子パターンを形成する素子パターン形成工程とを有するように構成される。圧電基板と支持基板とが接合された接合基板を用いて弾性表面波素子を作成することで、これを切削／研磨して薄型化することが可能となる。これにより、弾性表面波デバイスが薄型化される。また、このような構成を圧電基板に支持基板を接合するという簡単な構成で実現しているため、製造工程の煩雑化が防止できる。更に、圧電基板に支持基板が接合された構成とすることで、両基板のヤング率及び熱膨張係数の違いから、圧電基板の熱膨張が抑制されて圧電基板の定数が安定化するため、弾性表面波素子のフィルタ特性を安定化することが達成される。

【0012】

また、請求項 1 記載の前記製造方法は、例えば請求項 2 記載のように、前記素子パターン形成工程が前記第 1 の主面上に 2 次元配列された複数の素子パターンを形成し、前記 2 次元配列された複数の素子パターンが分離するように前記圧電基板及び前記支持基板を切断する基板切断工程を有するように構成されても良い。このように、圧電基板と支持基板との接合基板を多面取り構造とすることで、一度に複数の弾性表面波デバイスを作製でき、製造効率が向上し、コストが削減できる。

【0013】

また、請求項 1 又は 2 記載の前記製造方法は、例えば請求項 3 記載のように、前記素子パターンが形成された前記弾性表面波素子を第 1 の基板に形成されたキャビティ内に收容する收容工程と、前記弾性表面波素子が收容された前記第 1 の基板における前記キャビティを第 2 の基板で封止する封止工程とを有するように構成されても良い。弾性表面波素子が薄型化されたことから、これを收容する第 1 の基板及び第 2 の基板で構成されるパッケージの厚さも薄型化することが可能となり、結果として弾性表面波デバイスが薄型化される。

【0014】

また、請求項 3 記載の前記封止工程は、好ましくは請求項 4 記載のように、前記第 1 の基板と前記第 2 の基板とにおける接合面の少なくとも 1 つに、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第 1 の基板と該第 2 の基板とを接合するように構成される。第 1 の基板と第 2 の基板との接合に表面活性化処理を用いた基板接合方法を用いることで、樹脂などの接着材料を必要としないため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

【0015】

また、請求項 1 記載の前記製造方法は、好ましくは請求項 5 記載のように、前記素子パターンを第 1 の基板に形成されたキャビティ内に收容するように該第 1 の基板と前記圧電基

板とを接合して前記素子パターンを封止する封止工程を有するように構成される。弾性表面波素子が薄型化されたことから、これを収容する第1の基板及び第2の基板で構成されるパッケージの厚さも薄型化することが可能となり、結果として弾性表面波デバイスが薄型化される。更に、圧電基板及び支持基板で構成された接合基板がキャップも兼ねた構成とすることで、キャップを設けた際に生じるデッドスペース（空間）を省略でき、弾性表面波デバイスをより薄型化できる。

【0016】

また、請求項5記載の前記第2の切削／研磨工程は、例えば請求項6記載のように、前記封止工程の後に行われてもよい。支持基板の切削／研磨は、第1の木場による封止前であっても封止後であってもよい。

10

【0017】

また、請求項5又は6記載の前記製造方法は、好ましくは請求項7記載のように、前記素子パターン形成工程が前記第1の主面上に2次元配列された複数の素子パターンを形成し、前記封止工程が前記キャビティが前記素子パターンと対応して2次元配列された前記第1の基板で該素子パターンを個々に封止し、前記2次元配列された複数の素子パターン及び該素子パターンと対応するように2次元配列された前記キャビティが分離するように前記圧電基板、前記支持基板及び前記第1の基板を切断する基板切断工程を有するように構成される。このように、圧電基板と支持基板との接合基板及びこれに接合されることで素子パターンを封止する第1の基板を多面取り構造とすることで、一度に複数の弾性表面波デバイスを作製でき、製造効率が向上し、コストが削減できる。

20

【0018】

また、請求項7記載の前記製造方法は、好ましくは請求項8記載のように、前記基板切断工程の前に、該基板切断工程で切断する領域に対応する前記第1の基板をエッチングするエッチング工程を有するように構成される。接合基板の切断以前に第1の基板にエッチングにより溝を設けておくことで、第2の基板が破損することを防止できるため、歩留りや製造効率が向上するだけでなく、よりパッケージを小型化することも可能となる。

【0019】

また、請求項5から8の何れか1項に記載の前記封止工程は、好ましくは請求項9記載のように、前記第1の基板と前記圧電基板とにおける接合面の少なくとも1つに、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第1の基板と該圧電基板とを接合するように構成される。第1の基板と圧電基板との接合に表面活性化処理を用いた基板接合方法を用いることで、樹脂などの接着材料を必要としないため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

30

【0020】

また、請求項1から9の何れか1項に記載の前記基板接合工程は、好ましくは請求項10記載のように、前記圧電基板と前記支持基板との接合面に不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理を施した後に、該圧電基板と該支持基板とを接合するように構成される。基板接合に表面活性化処理を用いた方法を適用しているため、樹脂などの接着材料を必要とせず、より弾性表面波素子を薄型化することが可能となる。また、表面活性化処理を施した後に圧電基板と支持基板とを接合した構成とすることで、両基板をより強固に接合することが可能となり、両基板のヤング率及び熱膨張係数の違いから得られる圧電基板の熱膨張の抑制効果を増大することが可能となる。

40

【0021】

また、請求項1から10の何れか1項に記載の前記支持基板は、例えば請求項11記載のように、シリコン基板で形成されてもよい。シリコン基板は一般的に圧電基板よりもヤング率が大きく、熱膨張係数が小さい。このため、これと圧電基板とを貼り合わせることで、圧電基板の厚さをより薄型化することが可能となり、結果として従来の圧電基板の厚さよりも圧電基板とシリコン基板とによる接合基板の厚さの方を薄くすることができる。更

50

に、両基板のヤング率と熱膨張係数との違いから圧電基板の熱膨張を抑制することが可能となる。更にまた、これをシリコン基板という比較的加工や取り扱いが容易な基板を用いて構成しているため、製造が容易となり、歩留りが向上されるだけでなく、精密に作成できるため、より小型化することが可能となる。

【0022】

また、請求項1から10の何れか1項に記載の前記支持基板は、好ましくは請求項12記載のように、抵抗率が $100\Omega \cdot \text{cm}$ 以上のシリコン基板で形成される。シリコン基板は一般的に圧電基板よりもヤング率が大きく、熱膨張係数が小さい。このため、これと圧電基板とを貼り合わせることで、圧電基板の厚さをより薄型化することが可能となり、結果として従来の圧電基板の厚さよりも圧電基板とシリコン基板とによる接合基板の厚さの方を薄くすることができる。更に、両基板のヤング率と熱膨張係数との違いから圧電基板の熱膨張を抑制することが可能となる。更にまた、これをシリコン基板という比較的加工や取り扱いが容易な基板を用いて構成しているため、製造が容易となり、歩留りが向上されるだけでなく、精密に作成できるため、より小型化することが可能となる。このほか、シリコン基板に $100\Omega \cdot \text{cm}$ と金属等と比較して十分に高い抵抗率の材料を用いることで、シリコン基板の抵抗成分によりフィルタ定数が劣化することを防止できる。

【0023】

また、請求項1から12の何れか1項に記載の前記圧電基板は、例えば請求項13記載のように、リチウムタンタレート又はリチウムナイオベートを主成分とした基板で形成することもできる。リチウムタンタレート又はリチウムナイオベートという取り扱いが容易で加工がし易い材料を用いることで、より安価に効率よく弾性表面波デバイスを製造することが可能となる。

【0024】

また、本発明は、請求項14記載のように、櫛形電極と該櫛形電極に電氣的に接続された電極パッドとを含む素子パターンが第1の主面に形成された圧電基板と、該第1の主面と反対側の第2の主面に接合された支持基板とを有する弾性表面波デバイスであって、前記圧電基板における前記第1の主面と、前記支持基板における前記第2の主面と接合された面と反対側の第3の主面側との少なくとも一方が切削／研磨された面であるように構成される。圧電基板と支持基板とが接合された接合基板を用いることで、これを切削／研磨して薄型化することが可能となる。これにより、弾性表面波デバイスが薄型化される。また、このような構成を圧電基板に支持基板を接合するという簡単な構成で実現しているため、製造工程の煩雑化が防止できる。更に、圧電基板に支持基板が接合された構成とすることで、両基板のヤング率及び熱膨張係数の違いから、圧電基板の熱膨張が抑制されて圧電基板の定数が安定化するため、弾性表面波素子のフィルタ特性を安定化することが達成される。

【0025】

また、請求項14記載の前記弾性表面波デバイスは、好ましくは請求項15記載のように、前記圧電基板における前記第1の主面と前記支持基板における前記第2の主面と向かい合う第4の主面との少なくとも一方に、不活性ガス、酸素のイオンビーム、中性子ビーム又はプラズマを用いて表面活性化処理が施されているように構成される。第1の基板と第2の基板との接合面に表面活性化処理に施すことで、樹脂などの接着材料を必要とせずに両基板を接合できるため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

【0026】

また、請求項14又は15記載の前記弾性表面波デバイスは、例えば請求項16記載のように、前記素子パターンが形成された前記圧電基板及び該圧電基板に接合された前記支持基板をキャビティ内に收容する第1の基板と、前記圧電基板及び前記支持基板が收容された前記第1の基板における前記キャビティを封止する第2の基板とを有するように構成されてもよい。弾性表面波素子が薄型化されたことから、これを收容する第1の基板及び第

2の基板で構成されるパッケージの厚さも薄型化することが可能となり、結果として弾性表面波デバイスが薄型化される。

【0027】

また、請求項14又は15記載の前記弾性表面波デバイスは、好ましくは請求項17記載のように、前記素子パターンを収容するキャビティが形成された第1の基板を有し、前記キャビティが前記素子パターンを収容するように前記第1の基板と前記圧電基板とが接合された構成を有する。弾性表面波素子が薄型化されたことから、これを収容する第1の基板及び第2の基板で構成されるパッケージの厚さも薄型化することが可能となり、結果として弾性表面波デバイスが薄型化される。更に、圧電基板及び支持基板で構成された接合基板がキャップも兼ねた構成とすることで、キャップを設けた際に生じるデッドスペース（空間）を省略でき、弾性表面波デバイスをより薄型化できる。

10

【0028】

【発明の実施の形態】

以下、本発明を好適に実施した形態を説明するにあたり、本発明の原理について説明する。

【0029】

図2は、本発明の原理を説明するための図である。図2に示すように、本実施形態では、比較的厚い（従来による基板と同程度の厚み）の圧電性素子基板（圧電基板という）11Aと、例えば同程度の厚さのシリコン基板12Aとを接合し（図2（a）参照）、これらを切削・研磨することで（（b）、（c）における切削・研磨部分11C、12C参照）、所望する程度に薄型化された接合基板を作成する。このように、圧電基板よりも高い強度及び弾性を持つ支持基板（例えばシリコン基板12B）を圧電基板11Bに接合した構成とすることで、本発明では、圧電基板11Bの強度が支持基板により保持されるため、従来よりも圧電基板（及び接合基板）を薄型化することが可能となる。更に、薄型化した場合でも、従来と同等のSAWデバイスの作成工程に適用できる程度の耐性を持つSAW素子の実現できる。

20

【0030】

切削・研磨する圧電基板11Aには、扱い易さの観点から、例えば厚さが350 μ m程度であって、SAWの伝搬方向をXとし、切り出し角が回転Yカット板である42° YカットX伝搬リチウムタンタレート（LiTaO₃ SAWの伝搬方向Xの線膨張係数が16.1ppm/°C）の圧電単結晶基板（以下、LT基板という）を用いる。但し、このほかにも、例えば切り出し角が回転Yカット板であるリチウムナイオベート（LiNbO₃）の圧電単結晶基板（以下、LN基板という）や、水晶基板や他の圧電基板等を適用することも可能である。また同様に、シリコン基板12Aには、扱い易さを考えて、例えば200 μ m程度の厚さの基板を用いる。

30

【0031】

これら基板（11A、12A）の接合は、樹脂等の接着剤を用いることも可能であるが、両基板を常温で直接接合する方法を適用することがより好ましい。更に、この際、両基板の接合面に表面活性化処理を施すことで、接合強度をより向上させることができる。以下、表面活性化処理を用いた基板接合方法について図3を用いて詳細に説明する。

40

【0032】

本基板接合方法では、まず、図3（a）に示すように、双方の基板（11A、12A）をRCA洗浄法等で洗浄し、表面、特に接合面に付着している酸化物や吸着物等の不純物X1及びX2を除去する（第1の工程：洗浄処理）。RCA洗浄とは、アンモニアと過酸化水素と水とを容積配合比1：1～2：5～7で混合した洗浄液や塩素と過酸化水素と水とを容積配合比1：1～2：5～7で混合した洗浄液等を用いて行われる洗浄方法の一つである。

【0033】

次に、洗浄した基板を乾燥（第2の工程）後、図3（b）に示すように、アルゴン（Ar）等の不活性ガス若しくは酸素のイオンビーム、中性子ビーム又はプラズマ等を両基板（

50

11A, 12A)の接合面に照射することで、残留した不純物X11及びX21を除去すると共に、表層を活性化させる(第3の工程:活性化処理)。尚、何れの粒子ビーム又はプラズマを使用するかは、接合する基板の材料に応じて適宜選択される。

【0034】

その後、基板11A, 12Aを位置合わせをしつつ貼り合わせる(第4の工程:貼合せ処理)。ほとんどの材料では、この貼合せ処理を真空中で行うが、窒素や不活性ガス等の高純度ガス雰囲気中又は大気で行える場合もある。また、両基板(11A, 12A)を挟み込むように加圧する必要がある場合も存在する。尚、この工程は常温又は100℃以下程度に加熱処理した条件下で行うことができる。このように100℃程度以下に加熱しつつ接合を行うことで、両基板の接合強度を向上させることが可能となる。

【0035】

このように、表面活性化処理を用いた基板接合方法では、両基板(11A, 12A)を接合した後に、1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ様々な基板を接合することができる。更に、両基板を貼り合わせるための樹脂や金属などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更にまた、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0036】

このように圧電基板11Aとシリコン基板12Aとを貼り合わせた後、本発明では、ひびや割れが生じない程度であって可能な限り薄くされた厚さまで、それぞれの基板を切削・研磨する。この際、シリコン基板12A(12Bも同じ)は、圧電基板11A(11Bも同じ)の熱膨張及び定数の変化を抑制するだけでなく、両基板(11A及び12A/11B及び12B)で構成された接合基板の強度を高める機能も果たすため、以上のような構成を取ることによって、切削・研磨後の接合基板の厚さを圧電基板単体で構成した場合よりも薄くすることができる。本実施形態では、例えば図2に示すように、圧電基板11Aを切削・研磨して数十μmから100μm程度の圧電基板11Bを作成し(図2(b))、シリコン基板12Aを切削・研磨して同じく数十μmから100μm程度のシリコン基板12Bを作成する(図2(c))。これにより、両基板(11B, 12B)を合わせて100μmから百数十μm程度の接合基板が作成される。但し、以下で説明するような素子パターン1aを圧電基板11A上に作成した後など、圧電基板にかかる力学的及び熱的負荷が少なく済む場合、シリコン基板12Aを全て切削・研磨しても良い。これにより、さらにSAW素子10を薄型化できる。

【0037】

また、以上のように基板を接合し、且つ切削・研磨することで薄型化した後、本発明では、例えば図4に示すように、一枚の基板(圧電基板11A及びシリコン基板12Aが接合された接合基板並びにパッケージ2を作成するためのシリコン基板2A等)に複数の素子パターン(1a, 1b)等を2次元配列して形成するとよい。このように、接合基板を多面取り構造とすることで、一度に複数のSAWデバイスを作製でき、製造効率が向上し、コストが削減できる。

【0038】

以下、以上のような原理に基づく本発明を好適に実施した形態について図面を用いて詳細に説明する。

【0039】

〔第1の実施形態〕

まず、本発明の第1の実施形態について図面を用いて詳細に説明する。図5は、本実施形態によるSAWデバイス1の構成を示す図である。尚、図5(a)はSAWデバイス1の構成を示す斜視図であり、(b)は(a)のA-A断面図である。

【0040】

図5(a)に示すように、本実施形態では、SAW素子10が、櫛形電極(IDT)13と電極パッド14とを有する面をパッケージ2におけるキャビティ9の底面(ダイアタッ

10

20

30

40

50

チ面 9 a : 図 7 (c) 参照) に向かい合わせた状態、即ちフェイスダウン状態でパッケージ 2 にフリップチップ実装されている。パッケージ 2 は、例えばシリコン基板や、このほか、セラミックス、アルミニウム・セラミックス、ビスマスイミド・トリアジンレジン、ポリフェニレンエーテル、ポリイミド樹脂、ガラスエポキシ、又はガラスクロス等のうち何れか 1 つ以上を主成分とした基板を用いて形成される。以下の説明では、加工が容易で且つウェハレベルで製造が可能なシリコン基板を用いた場合を例に挙げて説明する。尚、シリコン基板を用いた場合、シリコン基板が持つ抵抗成分によりフィルタ特性が劣化することを防止するために、 $100\ \Omega \cdot \text{cm}$ 以上の抵抗率のシリコン材料を用いると良い。

【0041】

キャビティ 9 は、シリコン基板や、このほか、鉄、銅、アルミニウム等の金属又はセラミックス、アルミニウム・セラミックス、ビスマスイミド・トリアジンレジン、ポリフェニレンエーテル、ポリイミド樹脂、ガラスエポキシ、又はガラスクロス等のうち、何れか 1 つ以上を主成分とした基板を用いて形成されたキャップ 3 により封止される。尚、シリコン基板を用いた場合、パッケージ 2 と同様に、フィルタ特性の劣化を防止するために $100\ \Omega \cdot \text{cm}$ 以上の抵抗率の材料を用いると良い。更に、パッケージ 2 とキャップ 3 との接合には、樹脂等の接着剤を用いることも可能であるが、好ましくは上述した表面活性化処理を用いた基板接合方法を適用するとよい。

【0042】

また、図 5 (b) に示すように、SAW 素子 10 における入出力用の電極端子は、電極パッド 14 がパッケージ 2 における所定の配線パターン (電極パッド 5、ビア配線 6) を介してパッケージ 2 裏面に形成されたフットパターン 7 と電氣的に接続されることで、パッケージ 2 裏面にまで引き出されている。この際、SAW 素子 10 における電極パッド 14 とパッケージ 2 における電極パッド 5 とは、金やアルミニウムや銅等を主成分とした金属製のバンプ 5 により電氣的及び機械的に接続される。これにより、SAW 素子 10 がパッケージ 2 に機械的に固定され、且つ SAW 素子 10 とパッケージ 2 との電極パターン等が電氣的に接続される。

【0043】

次に、以上のような構成を有する SAW デバイス 1 の製造方法について、図面を用いて詳細に説明する。

【0044】

図 6 は、本実施形態による SAW デバイス 1 における SAW 素子 10 の製造方法を説明するための図である。図 6 (a) において、上述の図 2 で説明したように、所望する厚さよりも厚い圧電基板 11 A (例えば $350\ \mu\text{m}$) とシリコン基板 12 A (例えば $200\ \mu\text{m}$) とを、表面活性化処理を施した後に接合する (基板接合工程)。次に、本実施形態では、まず、圧電基板 11 A を所望する厚さ、例えば数十 μm から $100\ \mu\text{m}$ 程度にまで切削・研磨する (圧電基板切削・研磨工程)。

【0045】

所望する厚さの圧電基板 11 B を作成すると、本実施形態では、図 6 (b) に示すように、圧電基板 11 B 上に、フォトリソグラフィやエッチング技術を用いて IDT 13、電極パッド 14 及び配線パターン (これらを素子パターンともいう) を含む素子パターン 1 a を形成し、更に電極パッド 14 上にボンディング時に使用するためのバンプ 8 を形成する。

【0046】

圧電基板 11 B 上に素子パターン 1 a 及びバンプ 8 を形成すると、次に、図 6 (d) に示すように、圧電基板 11 B 裏面に接合されているシリコン基板 12 A を切削・研磨し、所望する厚さのシリコン基板 12 B を作成する。その後、図 6 (e) に示すように、圧電基板 11 B 及びシリコン基板 12 B を、素子パターン 1 a が個別となるようにカットすることで、個片化した SAW 素子 10 が作成される (図 6 (f) 参照)。尚、この際のカットには、例えばダイシングブレードやレーザビーム等を使用することが可能である。

【0047】

10

20

30

40

50

また、以上のように作成されたSAW素子10は、例えば図7に示すような工程で作成されたパッケージ2内にフリップチップ実装される。以下に、図7を用いてパッケージ2の製造方法を説明する。

【0048】

図7(a)において、パッケージ2は、上述した材料基板の中から、例えばシリコン基板2Aを用いて作成する。シリコン基板2Aは、図7(b)に示すように、反応性イオンエッチング(RIE：特にDeep-RIE)等の技術を用いて、キャビティ9が形成される。次に、シリコン基板2Aには、図7(c)に示すように、キャビティ9の底面であるダイアタッチ面9aにSAW素子10における電極パッド14をパンプ8によりボンディングするための電極パッド5と、電極パッド5をパッケージ2の裏面(キャビティ9が形成された面と反対側の面)に電氣的に引き出すためのビア配線6と、ビア配線6と電氣的な接点を持つフットパターン7とを含む素子パターン1bがそれぞれ形成される。尚、フットパターン7は、形成工程を簡略化するために、隣接するもの同士を一体形成するとよい。

【0049】

その後、図7(d)に示すように、シリコン基板2Aを、素子パターン1bが個別となるようにカットすることで、個片化したパッケージ2が作成される(図7(e)参照)。尚、この際のカットには、例えばダイシングブレードやレーザビーム等を使用することが可能である。

【0050】

このように作成したパッケージ2におけるキャビティ9にSAW素子10をフェイスダウン状態でボンディングし(図7(f)参照)、キャビティ9をキャップ3により封止することで(図7(g)参照)、図7(h)に示すように、本実施形態によるSAWデバイス1が作成される。尚、パッケージ2とキャップ3との接合には、上述したように、樹脂等の接着剤を用いることも可能であるが、好ましくは上述した表面活性化処理を用いた基板接合方法を適用するとよい。また、パッケージ2をシリコン基板で作成し、これらを表面活性化処理を用いた基板接合方法で接合する場合、キャップ2の材料基板にシリコン基板を用いることで、これらの接合強度をより向上させることが可能である。更に、パッケージ2及びキャップ3の接合面に、例えば金等の金属膜を形成しておき、これを介して両者を接合することで、パッケージ2及びキャップ3の材料に依存することなく、両者を強固に接合することが可能となる。

【0051】

以上で説明したように、SAW素子10を圧電基板11Bとシリコン基板12Bとが接合された接合基板を用いて作成することで、SAW素子10が薄型化される。これにより、SAW素子10を収容するパッケージ2の厚さも薄型化することが可能となり、結果としてSAWデバイス1が薄型化される。また、このような構成を圧電基板11Aにシリコン基板12Aを接合するという簡単な構成で実現しているため、製造工程の煩雑化が防止できる。更に、基板接合に表面活性化処理を用いた方法を適用しているため、樹脂などの接着材料を必要とせず、よりSAW素子10を薄型化することが可能となる。更に、圧電基板11Bにシリコン基板12Bが接合された構成とすることで、両基板のヤング率及び熱膨張係数の違いから、圧電基板11Bの熱膨張が抑制されて圧電基板11Bの定数が安定化するため、SAW素子10のフィルタ特性を安定化することが達成される。更にまた、パッケージ2とキャップ3との接合にも表面活性化処理を用いた基板接合方法を用いることで、樹脂などの接着材料を必要としないため、よりSAWデバイス1を薄型化だけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、SAWデバイス1をより小型化することができる。

【0052】

〔第2の実施形態〕

次に、本発明の第2の実施形態について図面を用いて詳細に説明する。図8は、本実施形態によるSAWデバイス20の構成を示す図である。尚、図8(a)はSAWデバイス2

20

30

40

50

0の構成を示す斜視図であり、(b)は(a)のB-B断面図である。

【0053】

図8(a)に示すように、本実施形態では、SAW素子10における圧電基板11(シリコン基板12も含む)がパッケージ22におけるキャビティ29を封止するキャップをとして機能するように構成されている。パッケージ22は、第1の実施形態におけるパッケージ2と同様に、例えばシリコン基板や、このほか、セラミックス、アルミニウム・セラミックス、ビスマスイミド・トリアジンレジン、ポリフェニレンエーテル、ポリイミド樹脂、ガラスエポキシ、又はガラスクロス等のうち何れか1つ以上を主成分とした基板を用いて形成される。尚、シリコン基板を用いた場合、フィルタ特性の劣化を防止するために、 $100\Omega\cdot\text{cm}$ 以上の抵抗率の材料を用いると良い。また、パッケージ22とSAW素子10における圧電基板11との接合には、樹脂等の接着剤を用いることも可能であるが、好ましくは上述した表面活性化処理を用いた基板接合方法を適用するとよい。

【0054】

また、上記のようにパッケージ22で圧電基板11におけるIDT13、電極パッド14及び配線パターン等が形成された領域を封止した際、本実施形態では、図8(b)に示すように、SAW素子10における入出力用の電極端子が、電極パッド14がパッケージ22における所定の配線パターン(電極パッド5、ビア配線6)を介してパッケージ22裏面に形成されたフットパターン7と電氣的に接続されることで、パッケージ22裏面にまで引き出される。この際、SAW素子10における電極パッド14とパッケージ22における電極パッド5とは、第1の実施形態と同様に、金やアルミニウムや銅等を主成分とした金属製のバンプ5により電氣的及び機械的に接続される。これにより、SAW素子10とパッケージ2との電極パターン等が電氣的に接続される。

【0055】

次に、以上のような構成を有するSAWデバイス20の製造方法について、図面を用いて詳細に説明する。

【0056】

図9は、本実施形態におけるSAWデバイス20の製造方法を説明するための図である。図9(a)において、まず、パッケージ22を作成するために、上述した材料基板の中から、例えばシリコン基板22Aを用い、これにDeep-RIE等の技術を用いてキャビティ29を形成する。このキャビティ29は、第1の実施形態のように、SAW素子10を收容できる程度の深さでなく、SAW素子10上に形成されたIDT13、電極パッド14及び配線パターンに触れない程度であって、電極パッド14をキャビティ29底面に形成する電極パッド5にバンプ8で電氣的に接続できる程度の深さとして形成される。次に、シリコン基板22Aには、図9(c)に示すように、キャビティ29の底面であるダイアタッチ面9a(図7(c)と同様)に電極パッド5と、電極パッド5をパッケージ22の裏面(キャビティ29が形成された面と反対側の面)に電氣的に引き出すためのビア配線6と、ビア配線6と電氣的な接点を持つフットパターン7とを含む素子パターン1bがそれぞれ形成される。尚、フットパターン7は、形成工程を簡略化するために、隣接するもの同士を一体形成するとよい。

【0057】

このようにシリコン基板22Aに素子パターン1bを形成すると、次に図9(d)に示すように、シリコン基板22Aにおけるキャビティ29が形成された面に、図6(d)で示す接合基板(圧電基板11B及びシリコン基板12Bが接合された基板)を、素子パターン1aが形成された面を向かい合わせた状態で接合する。この接合には、樹脂等の接着剤を用いることも可能であるが、好ましくは上述した表面活性化処理を用いた基板接合方法を適用するとよい。また、図6(d)に示す接合基板における素子パターン1aは、本実施形態において、キャビティ29に位置合わせして形成されており、両基板を接合することで、電極パッド14上に形成されたバンプ8とダイアタッチ面9aに形成された電極パッド5とが接続される。

【0058】

10

20

30

40

50

その後、図9(e)に示すように、シリコン基板22A、圧電基板11B及びシリコン基板12Bが接合された接合基板を、個々のSAWデバイス20にカットすることで、個片化したSAWデバイス20が作成される(図9(f)参照)。尚、この際のカットには、例えばダイシングブレードやレーザービーム等を使用することが可能である。

【0059】

以上で説明したように、SAW素子10を圧電基板11Bとシリコン基板12Bとが接合された接合基板を用いて作成することで、第1の実施形態と同様に、SAW素子10が薄型化される。これにより、SAW素子10を収容するパッケージ22の厚さも薄型化することが可能となり、結果としてSAWデバイス20が薄型化される。また、このような構成を圧電基板11Bにシリコン基板12Bを接合するという簡単な構成で実現しているため、製造工程の煩雑化が防止できる。更に、基板接合に表面活性化処理を用いた方法を適用しているため、樹脂などの接着材料を必要とせず、よりSAW素子10を薄型化することが可能となる。更に、圧電基板11Bにシリコン基板12Bが接合された構成とすることで、両基板のヤング率及び熱膨張係数の違いから、圧電基板11Bの熱膨張が抑制されて圧電基板11Bの定数が安定化するため、SAW素子10のフィルタ特性を安定化することが達成される。このほか、本実施形態では、圧電基板11及びシリコン基板12で構成された接合基板がキャップも兼ねた構成としているために、キャップを設けた際に生じるデッドスペース(空間)を省略でき、SAWデバイス20をより薄型化できるだけでなく、パッケージ22と接合基板との接合にも表面活性化処理を用いた基板接合方法を用いているため、樹脂などの接着材料を必要とせず、よりSAWデバイス20を薄型化でき、且つ樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能であるため、SAWデバイス20をより小型化することができる。尚、他の構成は、上述した第1の実施形態と同様であるため、ここでは説明を省略する。

【0060】

〔第3の実施形態〕

次に、本発明の第3の実施形態について図面を用いて詳細に説明する。本実施形態によるSAWデバイスは、第2の実施形態で図8を用いて説明したSAWデバイス20と同様の構成である。本実施形態では、このSAWデバイス20の他の製造方法について例を挙げる。

【0061】

図10は、本実施形態によるSAWデバイス20の製造方法を説明するための図である。本実施形態では、図10(d)に示すように、シリコン基板12Aを切削・研磨する前の接合基板(圧電基板11B及びシリコン基板12A)を図10(c)までの工程で作成したシリコン基板22Aに接合し、接合した後にシリコン基板12Aを切削・研磨する点で、第2の実施形態と異なる。他の構成は、第2の実施形態と同様であるため、ここでは説明を省略する。

【0062】

以上のように構成することで、本実施形態では、第2の実施形態と同様な効果を得ることができる。

【0063】

〔第4の実施形態〕

次に、本発明の第4の実施形態について図面を用いて詳細に説明する。本実施形態では、第2又は第3の実施形態におけるSAWデバイス20の製造方法の他の方法を例示する。

【0064】

上記した第2の実施形態ではシリコン基板22Aに圧電基板11B及びシリコン基板12Bが接合された接合基板を貼り合わせた状態(図9(e)参照)、また、第3の実施形態ではシリコン基板22Aに圧電基板11B及びシリコン基板12Aが接合された接合基板を貼り合わせた後、シリコン基板12Aを切削・研磨した状態(図10(f)参照)で、各々の弾性表面波デバイス20を個別にカットしていた。これに対し、本実施形態では、個別にカットする前工程として切断部分にエッチングを施す工程を設ける。これを図11

10

20

30

40

50

を用いて説明する。

【0065】

図11(a)は、図9(e)又は図10(f)の工程以前で作成されたシリコン基板22A、圧電基板11B及びシリコン基板12Bの接合基板を示している。これまでの工程は、第2及び第3の実施形態で述べたものと同様であるため、ここでは説明を省略する。

【0066】

次に、本実施形態では、図11(b)に示すように、ダイシングブレード又はレーザービームで切断する部分をエッチングし、エッチング溝31を形成しておく。その後、本実施形態では、エッチング溝31に沿ってシリコン基板22A、圧電基板11B及びシリコン基板12Bの接合基板を切断し(図11(c)参照)、個片化されたSAWデバイス20を得る(図11(d)参照)。

【0067】

以上のように、接合基板の切断以前にパッケージ22にエッチングにより溝を設けておくことで、パッケージ22が破損することを防止できるため、歩留りや製造効率が向上するだけでなく、よりパッケージ22を小型化することも可能となる。即ち、SAWデバイス20を小型化することが可能となる。尚、他の構成は、上述した第2又は第3の実施形態と同様であるため、ここでは説明を省略する。

【0068】

〔他の実施形態〕

また、以上で説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

【0069】

【発明の効果】

以上説明したように、本発明によれば、薄型化され、且つ製造が容易な弾性表面波デバイスの製造方法及び弾性表面波デバイスを実現できる。

【図面の簡単な説明】

【図1】従来の技術によるSAWデバイス100の構成を示す図であり、(a)はSAWデバイス100に実装されるSAW素子110の構成を示す斜視図であり、(b)はSAWデバイス100の構成を示す断面図である。

【図2】本発明の原理を説明するための図である。

【図3】本発明において例示する表面活性化処理を用いた基板接合方法を説明するための図である。

【図4】本発明において例示する多面取り構造の基板(圧電基板11A及びシリコン基板12Aが接合された接合基板並びにパッケージ2を作成するためのシリコン基板2A)の構成を示す上面図である。

【図5】本発明の第1の実施形態によるSAWデバイス1の構成を示す図であり、(a)はSAWデバイス1の斜視図であり、(b)はそのA-A断面図である。

【図6】本発明の第1の実施形態によるSAW素子10の製造方法を示す図である。

【図7】本発明の第1の実施形態によるパッケージ2の製造方法及びSAWデバイス1の組立方法を示す図である。

【図8】本発明の第2の実施形態によるSAWデバイス20の構成を示す図であり、(a)はSAWデバイス1の斜視図であり、(b)はそのB-B断面図である。

【図9】本発明の第2の実施形態によるSAWデバイス20の製造方法を示す図である。

【図10】本発明の第3の実施形態によるSAWデバイス20の製造方法を示す図である。

【図11】本発明の第4の実施形態によるSAWデバイス20の製造方法を示す図である。

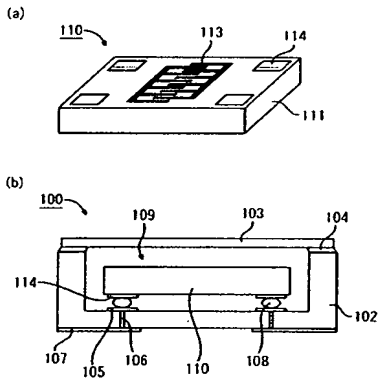
【符号の説明】

1 SAWデバイス

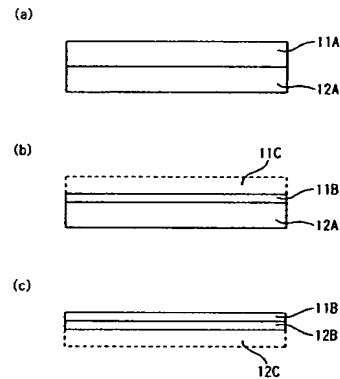
1a、1b 素子パターン

- 2、22 パッケージ
 2A、12、12A、12B、22A シリコン基板
 3 キャップ
 5、14 電極パッド
 6 ビア配線
 7 フットパターン
 8 バンプ
 9、29 キャビティ
 9a ダイアタッチ面
 10 SAW素子
 13 IDT
 11、11A、11B 圧電基板
 11C、12C 切削・研磨部分
 31 エッチング溝
 X1、X2、X11、X21 不純物

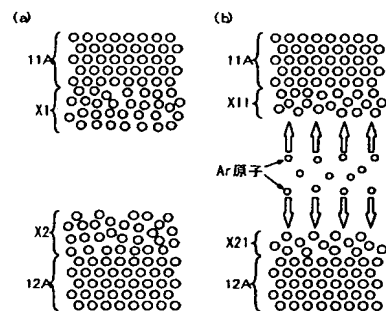
【図1】



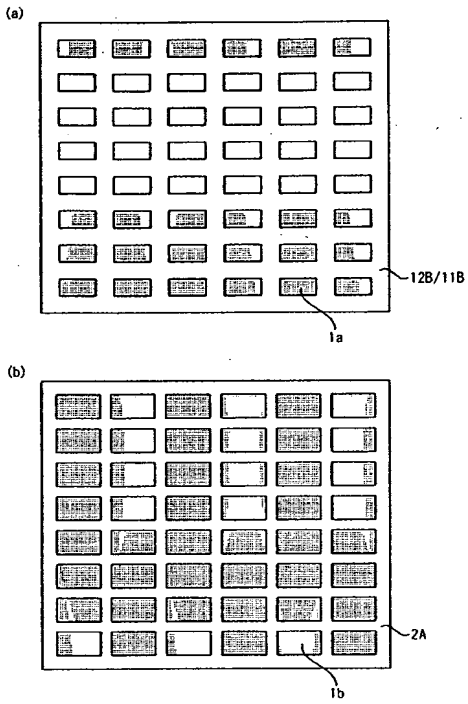
【図2】



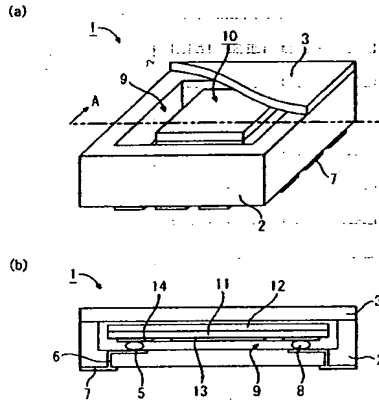
【図3】



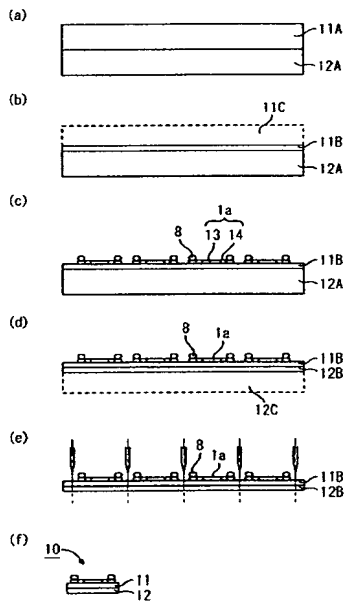
【図 4】



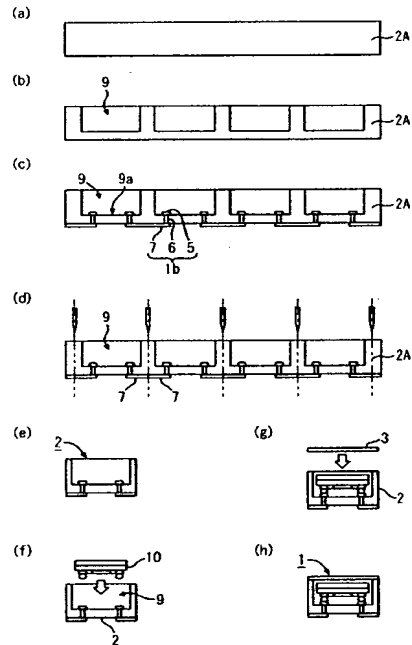
【図 5】



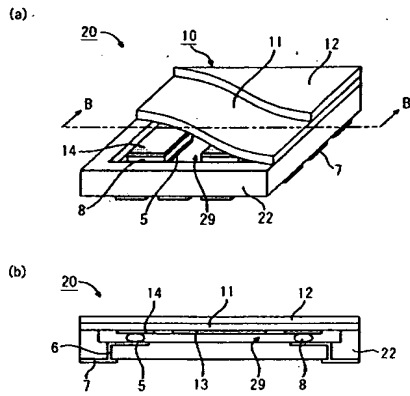
【図 6】



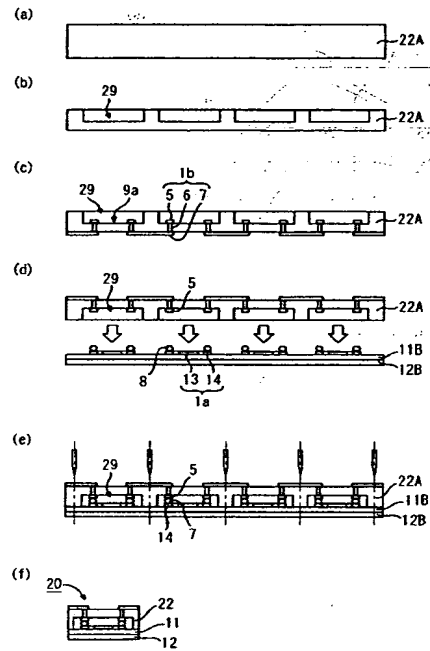
【図 7】



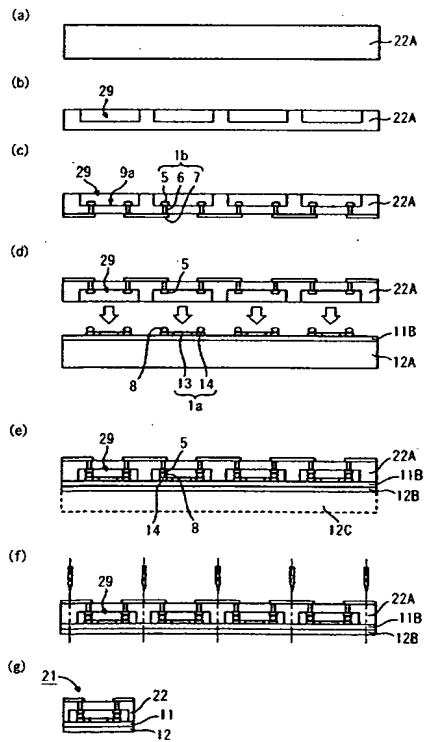
【図 8】



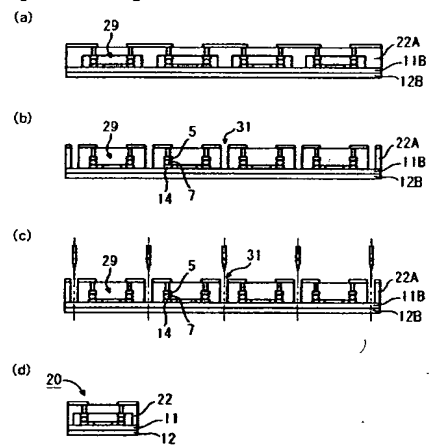
【図 9】



【図 10】



【図 11】



【手続補正書】

【提出日】平成16年3月22日(2004.3.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】

前記切断により形成された弾性表面波素子を第1の基板に形成されたキャビティ内に収容する収容工程と、

前記弾性表面波素子が収容された前記キャビティを第2の基板で封止する封止工程とを有することを特徴とする請求項2記載の弾性表面波デバイスの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正の内容】

【請求項4】

前記封止工程は、前記第1の基板と前記第2の基板とにおける接合面の少なくとも1つに、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第1の基板と該第2の基板とを接合することを特徴とする請求項3記載の弾性表面波デバイスの製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

【補正の内容】

【請求項9】

前記封止工程は、前記第1の基板と前記圧電基板とにおける接合面の少なくとも1つに、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第1の基板と該圧電基板とを接合することを特徴とする請求項5から8の何れか1項に記載の弾性表面波デバイスの製造方法。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項10

【補正方法】変更

【補正の内容】

【請求項10】

前記基板接合工程は、前記圧電基板と前記支持基板との接合面に不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該圧電基板と該支持基板とを接合することを特徴とする請求項1から9の何れか1項に記載の弾性表面波デバイスの製造方法。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】請求項15

【補正方法】変更

【補正の内容】

【請求項15】

前記圧電基板の前記第2の主面と、該第2の主面と向かい合う前記支持基板の第4の主面との少なくとも一方に、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性

化处理が施されていることを特徴とする請求項 1 4 記載の弾性表面波デバイス。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

また、請求項 2 記載の前記製造方法は、例えば請求項 3 記載のように、前記切断により形成された弾性表面波素子を第 1 の基板に形成されたキャビティ内に收容する收容工程と、前記弾性表面波素子が收容された前記キャビティを第 2 の基板で封止する封止工程とを有するように構成されても良い。弾性表面波素子が薄型化されたことから、これを收容する第 1 の基板及び第 2 の基板で構成されるパッケージの厚さも薄型化することが可能となり、結果として弾性表面波デバイスが薄型化される。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

また、請求項 3 記載の前記封止工程は、好ましくは請求項 4 記載のように、前記第 1 の基板と前記第 2 の基板とにおける接合面の少なくとも 1 つに、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第 1 の基板と該第 2 の基板とを接合するように構成される。第 1 の基板と第 2 の基板との接合に表面活性化処理を用いた基板接合方法を用いることで、樹脂などの接着材料を必要としないため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

また、請求項 5 から 8 の何れか 1 項に記載の前記封止工程は、好ましくは請求項 9 記載のように、前記第 1 の基板と前記圧電基板とにおける接合面の少なくとも 1 つに、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該第 1 の基板と該圧電基板とを接合するように構成される。第 1 の基板と圧電基板との接合に表面活性化処理を用いた基板接合方法を用いることで、樹脂などの接着材料を必要としないため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

また、請求項 1 から 9 の何れか 1 項に記載の前記基板接合工程は、好ましくは請求項 10 記載のように、前記圧電基板と前記支持基板との接合面に不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理を施した後に、該圧電基板と該支持基板とを接合

するように構成される。基板接合に表面活性化処理を用いた方法を適用しているため、樹脂などの接着材料を必要とせず、より弾性表面波素子を薄型化することが可能となる。また、表面活性化処理を施した後に圧電基板と支持基板とを接合した構成とすることで、両基板をより強固に接合することが可能となり、両基板のヤング率及び熱膨張係数の違いから得られる圧電基板の熱膨張の抑制効果を増大することが可能となる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

また、請求項14記載の前記弾性表面波デバイスは、好ましくは請求項15記載のように、前記圧電基板における前記第2の主面と前記支持基板における前記第2の主面と向かい合う第4の主面との少なくとも一方に、不活性ガス又は酸素の粒子ビーム又はプラズマを用いて表面活性化処理が施されているように構成される。第1の基板と第2の基板との接合面に表面活性化処理を施すことで、樹脂などの接着材料を必要とせずに両基板を接合できるため、より弾性表面波デバイスを薄型化できるだけでなく、樹脂等を用いた場合よりも狭い接合面積で十分な接合強度を得ることが可能となるため、弾性表面波デバイスをより小型化することができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

次に、洗浄した基板を乾燥（第2の工程）後、図3（b）に示すように、アルゴン（Ar）等の不活性ガス若しくは酸素のイオンビーム、中性化ビーム又はプラズマ等を両基板（11A、12A）の接合面に照射することで、残留した不純物X11及びX21を除去すると共に、表層を活性化させる（第3の工程：活性化処理）。尚、何れの粒子ビーム又はプラズマを使用するかは、接合する基板の材料に応じて適宜選択される。

フロントページの続き

(51) Int. Cl. ⁷

F I

テーマコード (参考) F I

H 0 1 L 41/22

Z

H 0 1 L 41

(72) 発明者 川内 治

神奈川県横浜市港北区新横浜二丁目 3 番 1 2 号 富士通メディアデバイス株式会社内

(72) 発明者 三浦 道雄

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

(72) 発明者 藁科 卓

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

F ターム (参考) 5J097 AA29 BB11 FF01 GG03 GG04 HA07 HA08 JJ02 JJ09 KK10